

APPARATUS AND METHOD FOR IMAGE PROCESSING, AND PROGRAM FOR COMPUTER TO EXECUTE

Patent Number: JP2003046738

Publication date: 2003-02-14

Inventor(s): ASAMI TOMOO; YOSHIDA MASASHI

Applicant(s): RICOH CO LTD

Requested Patent: ☐ JP2003046738

Application Number: JP20010235535 20010802

Priority Number(s):

IPC Classification: H04N1/21; G06T1/60; G06T3/60; H04N1/387; H04N1/413

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an image processor, where the speed of writing into and reading from image memory is made identical, when image data is compressed and when image data is not compressed and the working speed of the system is made constant.

SOLUTION: A compression processing means 12 compresses inputted image data to half the size on a block-by-block basis, each block comprising four pixels by four pixels, to generate compressed image data. A memory control portion 14 writes and reads image data into and from the image memory 15 on a block-by-block basis. The memory control portion 14 exercises control, so that the uncompressed image data and the compressed image data are identical in the speed of writing into and reading from the image memory 15 on a block-by-block basis, and thereby makes equal the uncompressed image data and the compressed image data in the speed of writing into and reading from the image memory 15. Further, the memory control portion 14 exercises control, so that the speed of reading image data from the image memory 15 becomes identical, regardless of whether or not the images are rotated.

Data supplied from the esp@cenet database - 12

コンピュータが、プログラムを実行して諸事項7〜諸事項12のいずれか1つに記載の各ステップを実現する。

[0030] 【発明の実施の形態】 以下、図面を参照して、本発明にかかる画像処理装置、画像処理方法、およびその画像処理方法を実行するためのコンピュータについて説明する。

[画像メモリ手段]、[画像メモリの書き込み動作]、[画像メモリの読み出し動作]の順に詳細に説明する。

[0031] [画像メモリ手段] 図1は、本発明の画像処理装置の機能ブロック図である。図1に示すように、画像処理装置は、画像データ入力手段1、画像処理手段2、画像メモリ手段3、および画像出力手段4を備えている。

[0032] 画像データ入力手段1は、例えばカラーカメラ等からなり、RGB画像データを入力する。画像処理手段2は、画像データ入力手段1により入力されたRGB画像データを取り込んで、平滑化およびエンコードを行い、YMCKの面順次データに変換して、YMCKデータを入力する。画像メモリ手段3は、画像処理手段2から入力されるYMCKデータを圧縮してまたは圧縮のまま画像メモリ15 (図2参照) に記憶し、回転してまたは回転させずに読み出して出力する。画像出力手段4は、画像メモリ手段3によって処理された画像データを紙に転写して出力する。

[0033] [画像メモリ手段] 図2は、図1の画像メモリ手段3の詳細な構成を示すブロック図である。画像メモリ手段3は、図2に示す如く、ラインメモリ11、圧縮処理手段12、圧縮選択手段13、メモリ制御部14、画像メモリ15、伸張処理手段16、伸張選択手段17、およびデータスワップ処理手段18とを備えている。

[0034] ラインメモリ11は、画像データ入力手段1より入力されたCMYK画像データを3ライン分格納する。圧縮処理手段12は、ラインメモリ11に格納される画像データおよび画像処理手段12より直送入力される画像データに対して固定長の圧縮処理を施す。圧縮選択手段13は、画像圧縮時には圧縮処理手段12からの画像データを、非圧縮時にはラインメモリ11からの画像データを選択して出力する。画像メモリ15は、SDRAMからなるページメモリで、圧縮選択手段13により選択された画像データを記憶する。

[0035] メモリ制御部14は、画像メモリ15への画像データの書き込み制御や画像メモリ15からの画像データ読み出し制御を行う。メモリ制御部14は、画像メモリ15に格納された圧縮/非圧縮の画像データを、回転させて読み出す回転駆出しモードと、回転させずに読み出す非回転駆出しモードとを備えている。このメモリ制御部14は、メモリアクセスを行うための各種制御信号およびメモリアドレスを生成するコントロー

のための図、図5は、画像データ圧縮時の画像メモリ15のメモリデータ (画像データ) の格納フォーマットを示す図、図6は、画像データの圧縮時のメモリデータ (画像データ) の格納フォーマットを示す図である。

[0041] 図4において、画像データの4×4の画素を1ブロックと定義する。各画素が8ビットデータの組合、G B T C圧縮 (1/2圧縮) 時の画像データは16画素単位でパッキングされ、図5に示す64ビットのデータフォーマット形式で画像メモリ15に記憶する。メモリ制御部14は、圧縮時には、4画素クロックに1回の割合で上配64ビットデータ (1ブロック) を画像メモリ15に出力する制御を行う。

[0042] 非圧縮時の画像データも16画素単位でパッキングし (8ビット/画素)、画像メモリ15の27アドレスに主走査方向先頭2列 (1回目) と後端2列 (2回目) に分けて、図6に示す各々64ビットのデータフォーマット形式で画像メモリ15に記憶する。メモリ制御部14は、非圧縮時には、2画素クロックに1回の割合で2回に分けて上配64ビットデータ (1ブロック) を画像メモリ15に出力する制御を行う。また、メモリ制御部14は、これら出力データの有効領域を示すL G A T E信号も併せて同期出力する。

[0043] このように、圧縮時および非圧縮時において、同等で4画素クロックで4画素×4画素 (1ブロック) の画像データが画像メモリ15に出力されることになり、圧縮時と非圧縮時とで画像メモリ15へのデータ出力速度 (書き込み速度) を同じにすることができ

る。

[0044] つづいて、メモリ制御部14のコントロール部21で行われる画像メモリ15のアドレスシフトについて説明する。図7はメモリアドレスマッピングを説明するための図、図8は非圧縮時のメモリアドレスマッピングを説明するための図である。

[0045] 図7および図8において、上述したように、4画素×4画素のマトリクスを1ブロックと定義し、1ブロックの画像データは、圧縮時には64ビットデータ1個、すなわち1回のメモリアクセス (17アドレス分) が必要となり、非圧縮時には64ビットデータ2個、すなわち2回のメモリアクセス (27アドレス分) が必要となる。

[0046] また、8ブロック×8ブロックを1セクタと定義し、1セクタは画像メモリ15において同一ローアドレス空間で構成し、メモリアドレスは、セクタ一内で連続的にインクリメントされる構造となっている。

[0047] ここで、セクタ一内をローアドレス空間とした理由は、セクタ一内で画像メモリ15の同一ページアクセスを可能にするためであり、セクタ一内で横にアクセスしても縦にアクセスしてもページアクセスを実現するための図である。これにより、画像メモリ15に

順次ライントランザクションだけでなく、回転して読み出す場合にもセクタ単位での画像メモリ15へのページアクセスが可能となる。以下、具体的に、メモリ制御部14による画像メモリ15のデータライントの制御を、①圧縮時、②非圧縮時に分けて説明する。

[0048] ①圧縮時 圧縮時には、8アドレス毎 (1セクタ内の1ライン分、すなわち8ブロック毎) のページライントを行う (S D R A Mバスモードを使用せず)。例えば、図7において、ページライントで、アドレス0、1、2、3、4、5、6、7をアクセスし、次は、アドレス40、41、42、43、44、45、46、47をアクセスして、1ラインの書き込みを終了した後、次のラインの書き込みを行う。

[0049] ②非圧縮時 非圧縮時には、8アドレス毎のページライントをS D R A Mバスモードとしてアクセスする。すなわち、1回のバスアクセスで2アドレス分をアクセスする。ここで8アドレス毎としている理由は、データパツファ2を圧縮時と同じサイズで実現するためである (1セクタ一内の1ライン分は2ページに分ける)。例えば、図8において、ページライントで、アドレス0、2、4、6をバスアクセス (バスモード=2) し (メモリ素子として、アドレス0、1、2、3、4、5、6、7を通してアクセスされているのと同じことになる)、次は、アドレス8、a、c、eをバスアクセスし、その次は、アドレス80、82、84、86をバスアクセスする。

[0050] つぎに、図9および図10のタイミングチャートを参照して、圧縮時および非圧縮時の画像メモリ15への画像データの書き込みタイミングを説明する。図9は、圧縮時の画像メモリ15のライント動作を説明するためのタイミングチャートである。以下に、図9および図10のタイミングチャートの各信号を説明する。

[0051] L G A T E : 主走査有効信号 (ハイアクティブ)。

L G A T E O : 主走査有効信号、ハイアクティブ。

start : リフレッシュおよびメモリライント動作を実行するための開始トリグgers信号。

opcode [3:0] : S D R A Mに対するアクセスコマンドを指定する信号。

get_command : start = 1かつ本信号=1のときに、opcodeのコメントを受け付ける。Base_addr : 1ブロックめのメモリのリニアアドレスをさす。write_data : 圧縮部より出力される圧縮画像データ。

hor_count [4:0] : L S Y N C信号を基準

【0065】 つぎに、メモリ制御部14による画像メモリ15からのデータリードの制御を、①0° 回転圧縮時、②0° 回転非圧縮時、③90° 回転圧縮時、④90° 回転非圧縮時について説明する。

【0066】 ①圧縮時
圧縮時には、8アドレス毎のページリード(1セクター内の1ライン分、すなわち8ブロック毎)を行う(5DRAMバーストモード使用せず)。例えば、図7において、ページリードで、アドレス0、1、2、3、4、5、6、7をアクセスし、次は、アドレス41、42、43、44、45、46、47をアクセスして、1ラインの読み出しを終了した後、次のラインの読み出しを行う。

【0067】 ②非圧縮時
非圧縮時には、8アドレス毎のページリードをSDRAMバースト数=2としてアクセスする。すなわち、1回バーストアクセス=2としてアクセスする。このバーストアクセスで3アドレス分をアクセスする。ここで8アドレス毎としている理由は、データバツファ2を圧縮時と同じサイズで実現するためである(1セクター内の1ライン分は2ページに分ける)。例えば、図8において、ページリードで、アドレス0、1、2、3、4、5、6、7をバーストアクセス(バースト数=2)し(メモリ素子として、アドレス0、1、2、3、4、5、6、7を連続アクセスされているのと同じことになる)、次は、アドレス8、a、c、eをバーストアクセスし、その次は、アドレス80、82、84、86をバーストアクセスする。

【0068】 ③90° 回転圧縮時
90° 回転圧縮時には、8アドレス毎のページリード(1セクター内の1ライン分、すなわち8ブロック毎)により実現する(SDRAMバーストモード使用せず)。図8において、ページリードでは、例えば、アドレス38、30、28、20、18、10、8、0を順にアクセスする。

【0069】 ④90° 回転非圧縮時
90° 回転非圧縮時には、8アドレス毎のページリードをSDRAMバースト数=2としてアクセスする。ここで8アドレス毎としているのは、データバツファ2を圧縮時と同じサイズで実現できるからである(1セクター内の1ライン分は2ページに分ける)。

【0070】 図9において、例えば、ページリードでは、まず、アドレス70、60、50、40を順にバーストアクセス(バースト数=2)する(メモリ素子として、アドレス70、71、60、61、50、51、40、41を連続アクセスしているのと同じになる)。次に、アドレス30、20、10、0をバーストアクセスする(メモリ素子として、アドレス30、31、20、21、10、11、0、1を連続アクセスしているのと同じ)。

【0071】 つぎに、図12および図13を参照して、

ス目の入力データをデータバツファ22に取り込むタイミングが異なるようにする。また、これに対して、メモリリフレッシュ動作がこれに非同期で発生する場合を考慮すると、リフレッシュ動作によりページアクセス開始が遅れられても、データバツファ22が次のデータ取り込みで更新される前にメモリライント動作を終了させることが可能な動作シーケンスとなるよう制御される。

【0061】 [画像メモリの読み出し動作] つぎに、上記画像メモリ手段13において、画像メモリ15に書き込まれた画像データをリードする際の動作を図11～図17を参照して説明する。上述のように、画像メモリ15の1セクター内のメモリアドレスを連続させて同一ローアドレスとしているのは、メモリデータを単にページライトするためではなく、回転して読み出す際にも、同様のページメモリアクセスを可能とするためである。90°、180°、270° 回転の読み出し時にも、8アドレス分のページリードアクセスが可能となる。

【0062】 図11を参照して、画像メモリ15から画像データを回転させて読み出す場合の回転方法の概略を説明する。図11は、画像メモリ15から画像データを回転させて読み出す場合の回転方法の概略を説明するための説明図である。

【0063】 同図において、(A)は非回転時、(B)は90° 回転時、(C)は180° 回転時、(D)は270° 回転時を示している。同図において、斜線部はメモリ空間の有効画像(有効領域)、黒色角は読み取り開始アドレス(スタートアドレス、先頭ブロック)を示している。画像メモリ15から画像データを読み出す際には、ブロック単位での読み出しを行い(ブロック内の4×4画素はそのまま)、回転した場合には、後段のデータスワップ処理手段18でブロック内の画素の回転を行う。

【0064】 同図 (A) に示すように、非回転時には、有効画像の左上から右上に1ラインのブロックを読み出し、順次、下隣の行を左から右にライン毎に読み取り、これを有効画像が終了するまで行う。また、同図 (B) に示すように、90° 回転時には、有効画像の左下から右上方に1ラインのブロックを読み出し、順次、右隣の行の有効画像が終了するまで行う。また、同図 (C) に示すように、180° 回転時には、有効画像の右下から左上方に1ラインのブロックを読み出し、順次、上隣の行の有効画像が終了するまで行う。また、同図 (D) に示すように、270° 回転時には、有効画像の右上から左下方に1ラインのブロックを読み出し、順次、左隣の行の有効画像が終了するまで行う。また、同図 (D) に示すように、270° 回転時には、有効画像の右上から左下方に1ラインのブロックを読み出し、これを有効画像が終了するまで行う。

or_count値は05hになるよう制御されている。画像メモリ15にライトする各入力データは4画素クロック単位で出力されるため、8本のデータバツファ22には、hor_count値が05h、09h、0dh、11h、15h、19h、1dh、01hの時のデータが順次格納される。

【0055】 次に、これらデータバツファ22に格納した画像データを画像メモリ15にページライトする。例えば、図9のタイミングチャートに示すように、画像メモリ15には2CLK分で1アドレス分のデータをライトしている。ページライトの最後となる8アドレス目のデータライト処理が、8アドレス目の入力データをデータバツファ22に取り込むタイミングより後になるようにする。また、これに対して、メモリリフレッシュ動作がこれに非同期で発生する場合を考慮すると、リフレッシュ動作によりページアクセス開始が遅れられても、データバツファ22が次のデータ取り込みで更新される前にメモリライント動作を終了させるように、動作シーケンスを制御する。

【0056】 ②非圧縮時
次に、図10のタイミングチャートを参照して、非圧縮時の画像メモリのライント動作を説明する。

【0057】 非圧縮時には、前述したように、圧縮状態手段13から出力される画像データはLGATE信号が「1」のとき、1アドレス分の画像データを2画素クロック単位で連続して切り替わる。また、画像メモリ15には、8アドレス分のページライトを実現するために、2×8=16画素クロックに1回の割合で8アドレス分のページライト動作を行う。その際、圧縮時に使用したhor_countの下位4ビットの値を基準として動作を実現する。

【0058】 まず、LGATE立上り時にはhor_count値は5hになるよう制御される。画像メモリ15にライトする各入力データは2画素クロック単位で出力されるため、8本のデータバツファ22には、hor_count値が各データの時のデータを順次格納していか

【0059】 つぎに、これらデータバツファ22に格納した画像データを画像メモリ15にページライトする。例えば、図10のタイミングチャートでは、SDRAMバースト機能を使用し(バースト数=2)、1ブロック分の画像データ、すなわち2アドレス分の画像データをバーストでライトし、これを8アドレス分ページライトを行う。このとき、画像メモリ15のカラムアドレスは、ページアクセス内で変化させ、バーストで行われる2アドレス目については、1アドレス目を単にインクリメントしたものを使用する。

【0060】 画像メモリ15には、1CLK分で1アドレス分のデータをライトしている。ページライト最

後となる8アドレス目のデータライト処理が、8アドレス

としてカウントする5ビットカウンタ。

Wbuf1-8: SDRAMに対しメモリライトを行うにあたってのライントデータバツファ。

Rbuf1-8: SDRAMからの読み出しデータ用バツファ。

ram_cs_n: SDRAMへのCS信号。ロウアクティブ。

ram_ras_n: SDRAMへのRAS信号。ロウアクティブ。

ram_cas_n: SDRAMへのCAS信号。ロウアクティブ。

ram_we_n: SDRAMへのWE信号。ロウアクティブ。

ram_addr[11:0]: SDRAMへのアドレス信号。

ram_ba: SDRAMへのバンクセレクタ信号。

ram_dq: SDRAMのデータバス信号。

REF: オールバンクプリチャージ & オートリフレッシュ

WRx: バンクアクティブ & メモリライト

WRz: メモリライト with オートプリチャージ

RDx: バンクアクティブ & メモリリード

RDy: メモリリード

RDz: メモリリード with オートプリチャージ

【0053】 <SDRAMへのCommand記号の意味>

all PC: オールバンクプリチャージコマンド

ARF: オートリフレッシュコマンド

ACT: バンクアクティブコマンド

write: ライトコマンド

Wap: ライト&オートプリチャージコマンド

read: リードコマンド

Rap: リード&オートプリチャージコマンド

【0054】 ①圧縮時

図9のタイミングチャートを参照して、圧縮時の画像メモリのライント動作を説明する。圧縮時には、圧縮状態手段12より出力される画像データは、LGATE信号が「1」のとき、1アドレス分のデータ(1ブロック: 4画素データ)が4画素クロック単位で連続して切り替わる。また、画像メモリ15には、8アドレス分のページライトで実現するために、4×8=32画素クロックに1回の割合で8アドレス分のページライト動作を行う。また、このLGATE信号はインクリメントしない主走査同期信号L SYNCで規定されるタイミングで発生するよう

に制御している。このため、L SYNC信号を基準としてインクリメント動作を開始する5ビットカウンタhor_countを用意し、このカウント値を基準として動作を実現する。まず、LGATE立上り時には、h

(10)

18

[2:0] = 7であるか否かを判断する (ステップS5)。ここで、LA [2:0] = 7であるか否かを判断して、セクターの最右列のブロックであるか否かを判断している。LA [2:0] = 7でない場合、すなわち、セクターの最右列のブロックでない場合には、LA [25:6] を保持、LA [5:3] を保持、LA [2:0] を単位インクリメントして (ステップS7)、ステップS1に戻る。

17

位での読み出しを行っているため、ブロック内の画素データは回転させられていないためである。

[0083] つぎに、メモリ制御部14のメモリアクセスを行う際のメモリアドレスを図14～図17を参照して説明する。図14は、圧縮時の0°メモリ群み出しおよび書き込みアドレス指定動作を説明するためのフローチャート、図15は、非圧縮時の0°メモリ群み出しおよび書き込みアドレス指定動作を説明するためのフローチャート、図16は、圧縮時の90°メモリ群み出しのアドレス指定動作を説明するためのフローチャート、図17は、非圧縮時の90°メモリ群み出しのアドレス指定動作を説明するためのフローチャートである。

[0084] 実際の画像メモリ15 (SDRAM) に与えるアドレスは1つのアドレスに対して、バンクアドレス、ローアドレス、コラムアドレスに時分割して出力される。これら時分割して出力する技術は、SDRAMの公知の制御方法であるので、本実施の形態では、時分割前のアドレス制御について説明する。画像メモリ15へのアクセスはブロック単位で構成される矩形領域単位で行う。メモリアクセスを行う場合の矩形領域の指定は、ソフトウェアで位置の大きさおよび位置を指定できるものとす。

[0085] ここで、メモリ素子へのアドレス輪廻りについては、メモリ空間をリニアアドレス26ビットの128MBとした場合、リニアアドレスLAのビット0～9はコラムアドレス、10～21はローアドレス、22～23はバンクアドレス、24～26はチップセレクトに割り当てられる。

[0086] まず、0°群み出し (画像メモリ15の画像データが圧縮されている場合) のメモリアドレス指定を説明する。図14のフローチャートを参照して説明する。この場合のメモリアドレス指定はメモリライフト時に同様である。メモリアクセスはソフトウェアで指定するスタートアドレスで始まり、次のメモリアクセスのためにアドレスを切り替えていく。0°群み出し (画像メモリ15のデータが圧縮されている場合) 時には、LA [2:0] を列アドレス、LA [5:3] を行アドレス、LA [25:6] をセクターアドレスに設定する。

[0087] 0°群み出し時には、上述したように、左上から画像データのブロックを1ラインずつ順次読み出す (図7参照)。図14において、まず、画像メモリ15のデータ領域が終了したか否かを判断する (ステップS1)。この判断の結果、画像メモリ15のデータ領域が終了した場合には、当該フローを終了する一方、画像メモリ15のデータ領域が終了していない場合には、ラインが終了したか否かを判断する (ステップS2)。ラインが終了したか否かを判断する (ステップS2) とした場合には、ステップS1およびS2ともNOとなる。

[0088] ラインが終了していない場合には、LA

50

(9)

16

スのトリガーをかけ、以後、16画素クロック単位で同処理のトリガーをかけるようになっている。

[0077] 画像データを回転して読み出す場合は、8アドレス分のペーजीングアドレスにおける奇数番目のコラムアドレスを順次逆進方向に変化させる。偶数番目のコラムアドレスはバースト設定により、奇数番目のアドレスをインクリメントしたものとす。これにより、非圧縮時の回転読み出し時にも、ブロック単位でデータを読み出すことが可能となる。

[0078] 以上のように、画像データの圧縮の有無および回転の有無に拘わらず、1ブロック単位でメモリアクセスが可能となる。

[0079] 上述のデータバッファ22は、圧縮処理手段12より出力されるデータをバッファリングし、画像メモリ15へのライタタイムミシングに同期して出力する役割を果たし、画像メモリ15への1回のページアクセスで8アドレス分のデータが必要となるため、本データバッファ22は7アドレス分用意しておけば十分である。

[0080] これは逆に、画像メモリ15からの読み出しデータを書き込みデータと同様にビデオ出力させるためには、メモリライフト時と同様、データバッファ22が8アドレス分必要となる。ここで画像メモリ15へのアクセスが、ライノードと同時に発生しないのであれば、これらのデータバッファ22は共通化して、ライノードの動作ごとに切りかえればよい。メモリアドレス、メモリリードとも4ラインに1回の発生であるから、ライン単位でリード、ライトをアービトレーションして処理を切り替える等の制御が可能である (図3参照)。

[0081] 次に、画像メモリ15から読み出された画像データの処理について説明する。メモリ制御部14により画像メモリ15から読み出された画像データは、圧縮画像データの場合には伸張処理手段16に、非圧縮の画像データの場合には伸張処理手段17に出力される。メモリ制御部14は、画像メモリ15からの読み出しを繰り返す。メモリ制御部14は、読み出した画像データをデータバッファ702に一旦格納し、後段 (圧縮画像データの場合には伸張処理手段16に、非圧縮の画像データの場合には伸張処理手段17に) に対してのレートで出力する (圧縮時は4画素クロック単位で、非圧縮時は2画素クロック単位で出力データを読み替えていく)。

[0082] 伸張処理手段16は、圧縮画像データを伸張処理して、伸張処理手段17に出力する。データストリップ処理手段18では、伸張処理手段17から入力される画像データが回転されたものである場合には、画像データのブロック (4画素×4画素) 内の画素データの回転処理を行う。これは、画像メモリ15からブロック単

50

15

圧縮時と非圧縮時の画像メモリ15の読み出しタイミングを説明する。図12は圧縮時のメモリアドレスのタイミングチャート、図13は非圧縮時のメモリアドレスのタイミングチャートを示している (各信号の説明については図9および図10参照)。

[0072] 図12のタイミングチャートを参照して、圧縮時のメモリアドレス動作を説明する。まず、全体動作を説明する。メモリ制御部14は、画像メモリ15に格納されている画像データを読み出して、これを4画素クロック単位で順次後段へ出力する。すなわちメモリアドレスと同期、32画素クロックサイクルに1回の割合で、8アドレス分のページメモリ15を行なう。画像メモリ15から読み出された画像データを一旦データバッファ22に格納し、これを後段に出力する。

[0073] 画像メモリ15から読み出してから後段に出力するまでの時間が長すぎると、次のメモリアクセスでデータバッファ22が書き込まれてしまうため、データバッファ22に格納してから後段に出力するまでの時間は短い方がよい。しかしメモリアドレス動作で、メモリアドレスが遅れてしまうことを考慮すると、その遅れ分、早めにメモリアドレスのトリガーを掛けるように制御されたい。

[0074] このため、後段に対する出力画像の走査有効信号LGA TEOの開始に対して、画素クロックサイクル手前で8アドレス分のペーजीングアドレスのトリガーを掛け、以後、32画素クロック単位で同処理のトリガーをかけるように2画面にわたって行う。メモリアドレス時に読み出す場合もあるが、このときには、8アドレス分のペーजीングアドレスにおけるコラムアドレスを順次逆進方向に変化させたい。

[0075] 次に、図13のタイミングチャートを参照して、非圧縮時のメモリアドレス動作を説明する。まず、全体動作を説明する。メモリ制御部14は、画像メモリ15に格納されているデータを読み出して、これを2画面クロック単位で順次後段へ出力する。すなわちメモリアドレスと同期、16画素クロックサイクルに1回の割合で、8アドレス分のページメモリ15を行なう。[0076] また、バースト数を「2」としてメモリアクセスを行う。画像メモリ15から読み出された画像データは一旦データバッファ22に格納し、これを後段に出力する。画像メモリ15から読み出してから後段に出力するまでの時間が長すぎると、次のメモリアクセスでデータバッファ22が書き込まれてしまうため、データバッファ22に格納してから後段に出力するまでの時間は短い方がよい。しかし、メモリアドレス動作で、メモリアドレスが遅れてしまうことを考慮すると、その遅れ分、早めにメモリアドレスのトリガーを掛けるように2画面にわたって行う。メモリアドレス時に読み出す場合もあるが、このときには、8アドレス分のペーजीングアドレスにおけるコラムアドレスを順次逆進方向に変化させたい。

27

- 【図3】図2のメモリ制御部のメモリ動作シーケンスの状態遷移図である。
- 【図4】画像データのブロックを説明するための図である。
- 【図5】画像データ圧縮時のメモリデータ（画像データの格納フォーマット）を示す図である。
- 【図6】画像データの非圧縮時のメモリデータ（画像データの格納フォーマット）を示す図である。
- 【図7】圧縮時のメモリアドレスマッピングを説明するための図である。
- 【図8】非圧縮時のメモリアドレスマッピングを説明するための図である。
- 【図9】圧縮時の画像メモリのライト動作を説明するためのタイミングチャートである。
- 【図10】非圧縮時の画像メモリのライト動作を説明するためのタイミングチャートである。
- 【図11】画像メモリから画像データを回転させて読み出す場合の回転方法の概略を説明するための説明図である。
- 【図12】圧縮時の画像メモリのリード動作を説明するためのタイミングチャートである。
- 【図13】非圧縮時の画像メモリのリード動作を説明するためのタイミングチャートである。

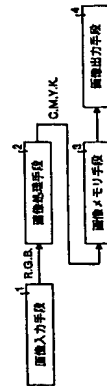
28

- 【図14】圧縮時の0°読み出しおよび書き込みのアドレスリング動作を説明するためのフローチャートである。
- 【図15】非圧縮時の0°読み出しおよび書き込みのアドレスリング動作を説明するためのフローチャートである。
- 【図16】圧縮時の90°読み出しのアドレスリング動作を説明するためのフローチャートである。
- 【図17】非圧縮時の90°読み出しのアドレスリング動作を説明するためのフローチャートである。

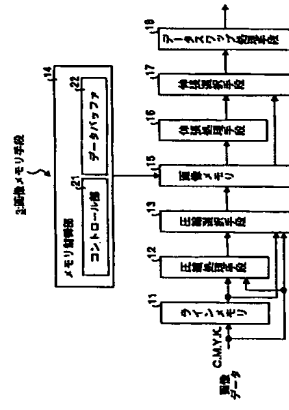
【符号の説明】

- 1 画像データ入力手段
- 2 画像処理手段
- 3 画像メモリ手段
- 4 画像出力手段
- 11 ラインメモリ
- 12 圧縮処理手段
- 13 圧縮選択手段
- 14 メモリ制御部
- 15 画像メモリ
- 16 伸張処理手段
- 17 伸張選択手段
- 18 データスワッピング処理手段

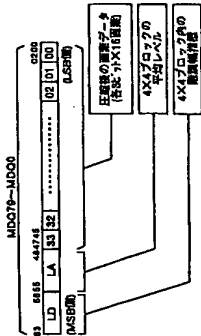
【図1】



【図2】

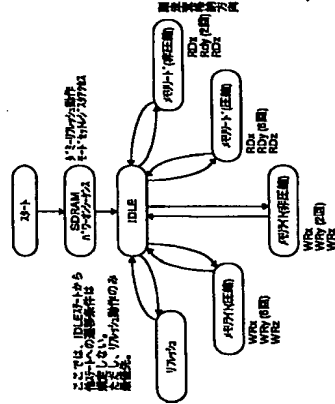


【図5】



メモリデータ格納フォーマット(画像データ圧縮時)

【図3】

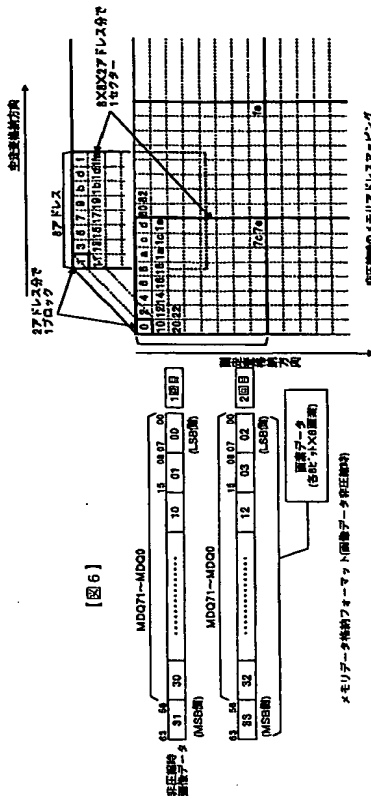


図中の記号はSDRAMへのコマンドを示す。

RD: Readコマンド
WR: Writeコマンド
RDW: Read with Writeコマンド
RDN: Read with No Writeコマンド

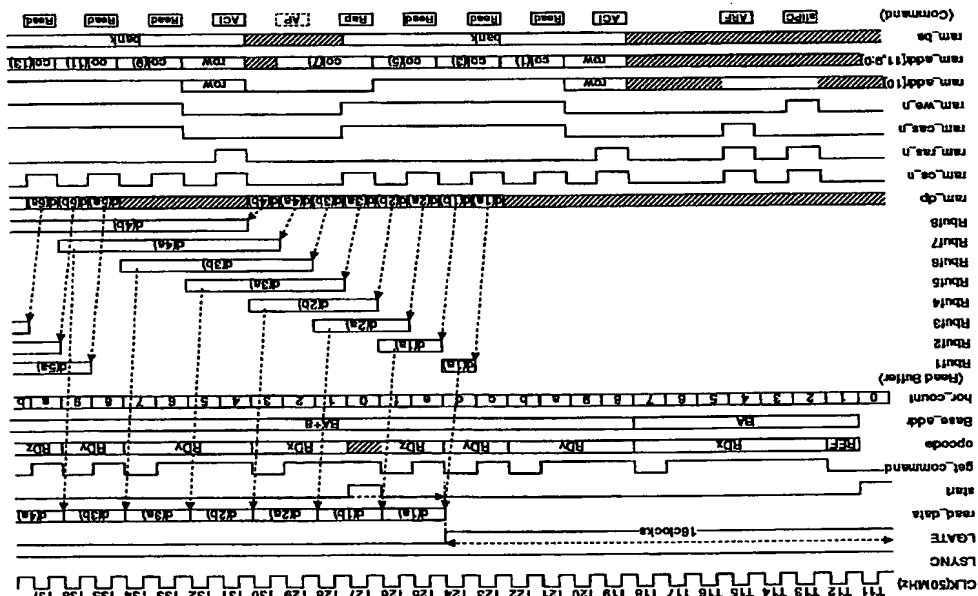
メモリデータ格納フォーマット(画像データ圧縮時)

【図8】

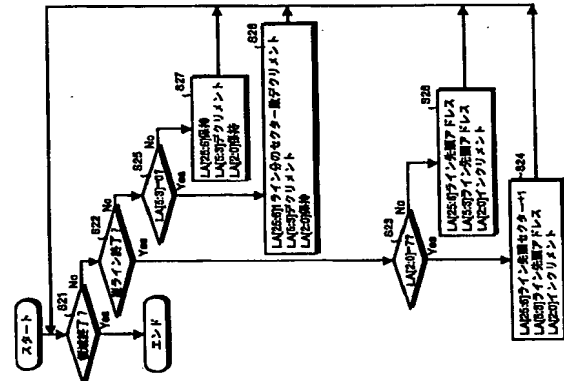


圧縮時のメモリアドレスマッピング

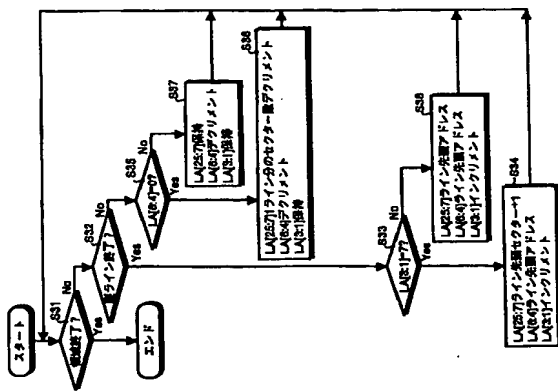
【图 13】



【图 16】



【图17】



フロントページの続き

Fター-A (参考)

SB047 EA01 EA05 EB01	
SB057 BA11 BA02 CC02 CD04 CG01	CH11 CH18
	SC073 BB07 CE01
	SC076 BA01 BA24 BA03 BA04 BA05
	BA08 BA09
	SC078 BA21 CA00 CA14 DA00 DA01